

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 08273376
PUBLICATION DATE : 18-10-96

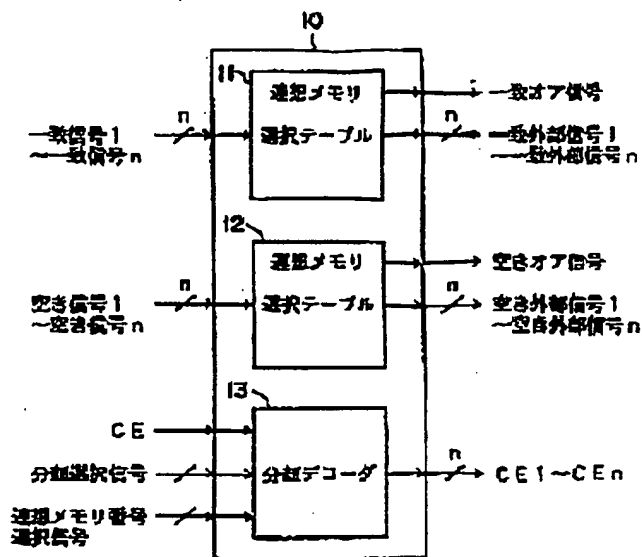
APPLICATION DATE : 30-03-95
APPLICATION NUMBER : 07074034

APPLICANT : KAWASAKI STEEL CORP;

INVENTOR : KOYAIZU TAKESHI;

INT.CL. : G11C 15/04

TITLE : ASSOCIATIVE MEMORY SYSTEM



ABSTRACT : PURPOSE: To provide an associative memory system in which a plurality of associative memories can be accessed freely for each group by providing a controller for bringing an associative memory, belonging to a desired group in the plurality of associative memories, into chip enable state.

CONSTITUTION: An associative memory controller 10 comprises an associate memory selection table 11 for coincidence signal, 2 an associate memory selection table 12 for blank signal, and a sorting decoder 13. The table 11 receives coincidence signals 1-n from (n) associate memories and delivers coincidence external signals 1-n and a coincidence OR signal. The sorting decoder 13 receives a chip enable signal CE, a sort selection signal and an associate memory number selection signal to produce a chip enable signal CE1-CEn for each associate memory.

COPYRIGHT: (C)1996,JPO

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平8-273376

(43)公開日 平成8年(1996)10月18日

(51)Int.Cl.⁶

G 1 1 C 15/04

識別記号

庁内整理番号

F I

G 1 1 C 15/04

技術表示箇所

A

審査請求 未請求 請求項の数3 O L (全 9 頁)

(21)出願番号 特願平7-74034

(22)出願日 平成7年(1995)3月30日

(71)出願人 000001258

川崎製鉄株式会社

兵庫県神戸市中央区北本町通1丁目1番28号

(72)発明者 小柳津 剛

東京都千代田区内幸町2丁目2番3号 川崎製鉄株式会社内

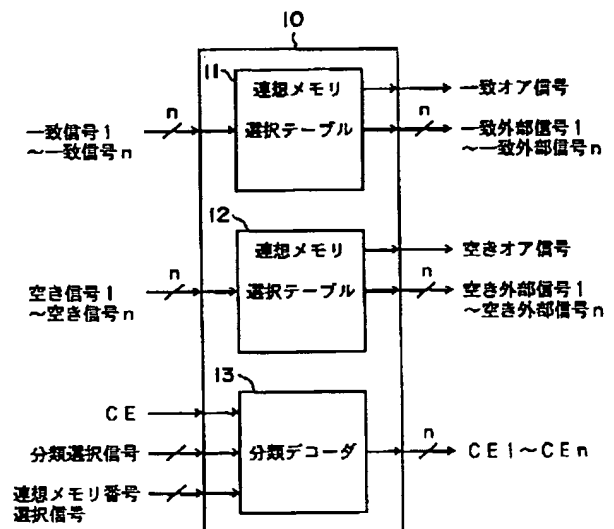
(74)代理人 弁理士 小杉 佳男 (外2名)

(54)【発明の名称】 連想メモリシステム

(57)【要約】

【目的】 本発明は、連想メモリを複数個用いた連想メモリシステムに関し、それら複数の連想メモリを複数に分類しておき、それら複数の連想メモリを、各分類毎に自由にアクセスする。

【構成】 複数の連想メモリの中の所望の分類に属する連想メモリをチップイネーブル状態にする連想メモリ制御装置を備えた。



【特許請求の範囲】

【請求項1】 順次カスケード接続され得る複数の連想メモリと、

前記複数の連想メモリが複数に分類されてなる各分類毎に、選択的に、前記複数の連想メモリの中の所望の分類に属する連想メモリをチップイネーブル状態にする連想メモリ制御装置とを有することを特徴とする連想メモリシステム。

【請求項2】 前記連想メモリ制御装置が、前記連想メモリから、該連想メモリがカスケード接続された場合の10 後段の連想メモリに伝播させる信号を入力し、該信号を、前記分類毎に切り離された、後段の連想メモリに伝播させる信号に変換して前記連想メモリに向けて出力する伝播信号変換部を備えたものであることを特徴とする請求項1記載の連想メモリシステム。

【請求項3】 前記連想メモリが、カスケード接続されたときに後段の連想メモリに伝播させる信号を前記各分類毎に論理的に切り離す分類分離回路を有し、前記連想メモリが順次カスケード接続されてなることを特徴とする連想メモリシステム。

【発明の詳細な説明】

【0001】

【差産業上の利用分野】本発明は、連想メモリを複数個用いた連想メモリシステムに関する。

【0002】

【従来の技術】近年、連想メモリが、例えば通信の分野等、高速検索を行なう必要のある分野に広く用いられている。図10は連想メモリの一例を表わした回路ブロック図である。この連想メモリ100には、図の横方向に並ぶ複数のメモリセルからなるメモリ領域111a, 111b, ..., 111kが多数備えられている。またこの連想メモリ100は、検索データが入力されラッチされる検索レジスタ112を備え、検索レジスタ112にラッチされた検索データの全部もしくは所定の一部のビットパターンと、各メモリ領域111a, 111b, ..., 111kに記載されたデータのうち、上記ビットパターンと対応する部分のビットパターンとの一致不一致が比較され、各メモリ領域111a, 111b, ..., 111kのそれぞれに対応して備えられた一致線114a, 114b, ..., 114kのうちビットパターンが一致したメモリ領域111a, 111b, ..., 111kに対応する一致線114a, 114b, ..., 114kに論理‘1’の一致信号が出力され、それ以外の一致線114a, 114b, ..., 114kに論理‘0’の不一致信号が出力される。

【0003】ここでは各フラグ線114a, 114b, ..., 114kにそれぞれ‘0’, ‘1’, ‘0’, ‘0’, ‘1’, ..., ‘0’の信号が出力されたものとする。この信号はプライオリティエンコード115に入力され、このプライオリティエンコード115からは論

理‘1’の一致信号が出力された一致線（ここでは一致線114bと一致線114eの2本）のうちの優先度の最も高い最優先の一致線に対応するアドレス信号ADが出力される。ここでは、添字のアルファベットが若いほど優先順位が高いものとし、従ってここでは一致線114bが最優先の一致線となる。このプライオリティエンコード115から出力された、最優先の一致線114bに対応するアドレス信号ADは、必要に応じて、アドレスレコード116に入力される。アドレスレコード116ではこの入力されたアドレス信号ADをデコードして各メモリ領域111a, 111b, ..., 111kのそれぞれに対応して備えられたワード線117a, 117b, ..., 117kのうちの入力されたアドレス信号ADに対応するいずれか1本のワード線（ここではワード線117b）にアクセス信号（ここでは論理‘1’の信号）を出力する。これによりアクセス信号の出力されたワード線117bに対応するメモリワード111bに記憶されているデータが出力レジスタ118に読み出される。

20 【0004】上記のように連想メモリ100は、検索データを用いて多数のメモリ領域111a, 111b, ..., 111kに記憶された内容（データ）を検索し、一致するデータが記憶されたメモリ領域のアドレスを得てそのメモリ領域に記憶されたデータ全体を読出すことができるメモリである。上記のような連想メモリを用いたシステムにおいて、1個の連想メモリではメモリ容量が不足する場合、複数の連想メモリを用いることになる。

30 【0005】複数の連想メモリを用いるシステムに関し、特公平3-52160号公報には、複数の連想メモリをカスケード接続することにより、複数の連想メモリをあたかも、メモリ容量の大きな1つの連想メモリであるかのように取り扱う技術が提案されている。また特開平6-251589号公報には、並列して複数の連想メモリを設けておき、データに応じて、そのデータを記憶させる連想メモリをあらかじめ選別することによってデータの検索および記憶の対象となる連想メモリを特定し、これによって検索および記憶に要する時間を短縮する技術が開示されている。

40 【0006】

【発明が解決しようとする課題】ところで、複数の連想メモリを用いたシステムにおいて、そのシステムに用いられた複数の連想メモリを複数に分類し、各分類毎にアクセスしたい場合がある。ところが、上述の特公平3-52160号公報に開示された方式は、カスケード接続された複数の連想メモリをあたかもメモリ容量の大きな1つの連想メモリであるかのように取り扱うには適しているものの、それら複数の連想メモリを各分類毎にアクセスすることはできない。

50 【0007】また、上述の特公平6-251589号公

報に提案された技術では、複数備えられた連想メモリを独立にアクセスすることはできるが、アクセスされる連想メモリの指定はデータに依存しているために所望の連想メモリを自由にアクセスすることができるものではない。本発明は、上記事情に鑑み、複数の連想メモリを備えた場合において、それら複数の連想メモリを複数に分類しておき、それら複数の連想メモリを、各分類毎に自由にアクセスすることのできる連想メモリシステムを提供することを目的とする。

【0008】

【課題を解決するための手段】上記目的を達成する本発明の連想メモリシステムは、順次カスケード接続され得る複数の連想メモリと、それら複数の連想メモリが複数に分類されてなる各分類毎に、選択的に、それら複数の連想メモリの中の所望の分類に属する連想メモリをチップイネーブル状態にする連想メモリ制御装置とを有することを特徴とする。

【0009】ここで、上記本発明の連想メモリシステムにおいて、上記連想メモリ制御装置が、上記連想メモリから、それらの連想メモリがカスケード接続された場合の後段の連想メモリに伝播させる信号を入力し、該信号を、上記分類毎に切り離された、後段の連想メモリに伝播させる信号に変換して上記連想メモリに向けて出力する伝播信号変換部を備えたものであることが好ましい。

【0010】あるいは、上記連想メモリにおいて、上記連想メモリが、カスケード接続されたときに後段の連想メモリに伝播させる信号を上記各分類毎に論理的に切り離す分類分離回路を有し、上記連想メモリが順次カスケード接続されてなるものであってもよい。

【0011】

【作用】本発明の連想メモリシステムは、複数の連想メモリの中の所望の分類に属する連想メモリをチップイネーブル状態にする連想メモリ制御装置を備えたものであるため、それら複数の連想メモリを分類毎に自由にアクセスすることができる。ここで、本発明の連想メモリシステムに用いられる連想メモリは、順次カスケード接続され得る構成を備えているものであるが、カスケードには接続せず、その代わりに連想メモリ制御装置が上記伝播信号変換部を備えた場合、連想メモリ自体は、従来の、順次カスケード接続することのできる連想メモリをそのまま用い、しかも分類毎にアクセスすることのできる連想メモリシステムが構築される。

【0012】また、本発明の連想メモリシステムに用いられる連想メモリが、上記の分類分離回路を内蔵したものである場合、連想メモリ制御装置側には上記の伝播信号変換部を備えることなく、分類毎にアクセスすることのできる連想メモリシステムが構築される。

【0013】

【実施例】以下、本発明の実施例について説明する。図1、図2は本発明の連想メモリシステムの第1実施例に

おける、それぞれ、連想メモリ制御装置、連想メモリのブロック図である。ここに示す連想メモリシステムには、図2に示すように n 個の連想メモリ $201 \sim 20_n$ が用いられており、 $m1$ 個の連想メモリ $20_1 \sim 20_{m1}$ が分類A、 $m2$ 個の連想メモリ $20_{m1+1} \sim 20_{m1+m2}$ が分類B、それ以降の連想メモリ $20_{m1+m2+1} \sim 20_n$ が分類Cに分類されているものとする。

【0014】各連想メモリ $20_1 \sim 20_n$ には、各連想メモリをアクティブの状態に置くためのチップイネーブル信号 $CE1 \sim CEn$ 、各連想メモリに検索を行なうことを指令するサーチ信号 $SEARCH$ 、各連想メモリへのデータの書込みおよび各連想メモリからのデータの読出しを行なわせるためのリード/ライト信号 R/W およびアウトプットイネーブル信号 OE 、各連想メモリ内部のアドレスを指定するアドレス信号 $ADDRESS$ が入力される。また、各連想メモリからは、検索によりその連想メモリで一致が検出されることを示す一致信号 $1 \sim n$ 、その連想メモリに、有効なデータが格納されていない空きのメモリ領域が存在することを表わす空き信号 $1 \sim n$ が出力される。また各連想メモリからは、読み出されたデータ $DATA$ が出力され、および各連想メモリには、書き込むべきデータ $DATA$ が入力される。さらには、各連想メモリには、これらの連想メモリをカスケードに接続した場合に、上段側に接続されたいずれかの連想メモリに一致が検出されたか否かを示す一致外部信号 $1 \sim n$ および上段側に接続されたいずれかの連想メモリのメモリ領域に空きがあるか否かを示す空き外部信号 $1 \sim n$ が出力される。カスケード接続した場合、一致信号は、上段側に接続されたいずれかの連想メモリあるいは自分自身の連想メモリで一致が検出されたか、あるいは自分自身を含め、自分よりも上段側の連想メモリのいずれでも一致が検出されなかったかを示す信号となり、空き信号も同様に、上段側に接続されたいずれかの連想メモリあるいは自分自身の連想メモリに空きがあるか、あるいは自分自身を含め、自分よりも上段側の連想メモリのいずれにも空きがないかを示す信号となる。

【0015】図1に示す連想メモリ制御装置10には、一致信号用連想メモリ選択テーブル11、空き信号用連想メモリ選択テーブル12および分類デコーダ13が備えられている。一致信号用連想メモリ選択テーブル11には、図2に示す n 個の連想メモリの各一致信号 $1 \sim n$ が入力され、一致外部信号 $1 \sim n$ および一致オア信号が出力される。

【0016】図3は、図1にブロックで示す一致信号用連想メモリ選択テーブル11の内容を示す図である。ここには $m1$ 個の連想メモリからなる分類Aの内容が示されている。一致信号 $1 \sim m1$ のいずれもが、一致のなかったことを示す‘L’レベルにあった場合、一致信号用

連想メモリ選択テーブル11では、全て‘L’レベルの一致外部信号1～m1を生成して出力するとともに、連想メモリ20_1～20_m1のいずれにおいても一致が検出されなかったことを示す‘L’レベルの一致オア信号を出力する。

【0017】また、一致信号1～m1のうちいずれかが一致があったことを示す‘H’レベルにあった場合、図3に示すように、自分よりも上段側で一致がなかった場合に‘L’レベル、自分よりも上段側で一致があった場合に‘H’レベルの一致外部信号が出力され、またこれ

とともに、いずれかで一致があったことを示す‘H’レベルの一致オア信号が出力される。

【0018】このようにして一致信号用連想メモリ選択テーブル11で生成された一致外部信号1～m1は、それぞれ、図2に示す分類Aに属する各連想メモリ20_1～20_m1に伝達される。分類B、Cについても同様である。図1に示す空き信号用連想メモリ選択テーブル12も同様であり、この空き信号用連想メモリ選択テーブル12には、図2に示すn個の連想メモリの各空き信号1～nが入力され、それらの空き信号1～nの論理

(‘H’レベル：空き有り、‘L’レベル：空き無し)に応じて、図3に示す一致信号用連想メモリ選択テーブル11と同一の論理の信号を出力する。この空き信号用連想メモリ選択テーブル12で生成された空き外部信号1～nは、それぞれ、図2に示す各連想メモリ20_1～20_nに伝達される。

【0019】図1に示す分類デコーダ3は、チップイネーブル信号CE、分類選択信号および連想メモリ番号選択信号を入力し、各連想メモリ毎のチップイネーブル信号CE1～CEnを生成するものである。チップイネーブル信号CEは、分類選択信号、連想メモリ番号選択信号で指定される1つもしくは複数の連想メモリへのデータ書込みもしくはそれらからのデータ読出しを行なおうとするときに入力される信号である。

【0020】分類選択信号は、ここでは2ビットで構成されており、‘00’、‘01’、‘10’により、それぞれ、分類A、分類Bおよび分類Cが指定される。この分類選択信号が‘11’のときには、連想メモリ番号選択信号が有効となる。連想メモリ番号選択信号は、ここでは4ビットで構成されており、‘0000’、‘0001’、…、‘1110’に応じて、連想メモリ20_1、連想メモリ20_2、…、連想メモリ20_15が指定される。ただし、ここでは図2に示す連想メモリの個数nは15以下とする。連想メモリ番号選択信号が‘1111’のときは、全ての連想メモリが指定される。

【0021】例を挙げると、分類選択信号が‘00’の場合、連想メモリ番号選択信号の如何にかかわらず分類Aに属するm1個の連想メモリ20_1～20_m1が指定され、分類選択信号が‘11’であって、かつ連想

メモリ番号選択信号が‘0000’の場合、連想メモリ20_1のみが指定され、分類選択信号が‘11’であって、かつ連想メモリ番号選択信号が‘1111’の場合、全ての連想メモリ20_1～20_nが指定される。

【0022】図1に示す分類デコーダでは、イネーブル信号CEの立ち上がりのタイミングで上記の論理に基づいて、連想メモリのチップイネーブル信号(チップイネーブル信号CE1～CEnのうちの1つもしくは複数)を、チップイネーブルを表わす‘H’レベルに立ち上げる。このチップイネーブル信号CE1～CEnは図2に示す各連想メモリ20_1～20_nにそれぞれ入力され、チップイネーブル信号として‘H’レベルの信号が入力された連想メモリがアクティブの状態になる。

【0023】図4は、図2に示す各連想メモリの内部構成を示す模式回路図である。尚、ここには以下の説明に必要な部分のみ図示されており、回路全体は示されていない。この図4に示す連想メモリ20における連想メモリセルアレイ21は、各アドレスに対応して各データを格納しておき、データの読み書きおよびデータ検索を行なうことができるよう構成されている。またセクタ22は、ゲート31、32からの制御信号に応じて、連想メモリセルアレイからデータを読み出して外部に出力し、あるいは外部から入力されたデータを連想メモリセルアレイ21に書き込む。

【0024】全体一致検出回路23は、この連想メモリ20のいずれかのメモリ領域において一致が検出されたか(‘H’レベル)、それともこの連想メモリ20では、一致が検出されなかったか(‘L’レベル)を出力する回路であり、図10に示す各一致線114a、114b、…、114kの一致信号のオア演算により生成される。

【0025】また、全体空き検出回路24は、この連想メモリ20のいずれかのメモリ領域が、有効なデータが格納されていない空きの状態にあるか(‘H’レベル)、それとも、この連想メモリ20の全てのメモリ領域に有効なデータが格納されているか(‘L’レベル)を出力する回路である。全体一致検出回路23において一致が検出されると、その一致を表わす‘H’レベルの信号が、ゲート回路25を経由して図1に示す連想メモリ制御装置に向けて出力される。また、全体一致検出回路23から、この連想メモリ20で一致が検出されなかったことを示す‘L’レベルの信号が出力されても、一致外部信号が、上段側の連想メモリで一致が検出されたことを示す‘H’レベルにあるとき、ゲート25からは、やはり‘H’レベルの一致信号が出力される。すなわち、ゲート25から‘H’レベルの信号が出力されていることは、自分自身および上段側のいずれかの連想メモリで一致が検出されたこと、ゲート25から‘L’レベルの信号が出力されていることは、自分自身および上

段側のいずれの連想メモリでも一致が検出されなかったことを意味する。

【0026】また、連想メモリ20には、チップイネーブル信号CEが入力されるが、チップイネーブルを表わす‘H’レベルのチップイネーブル信号CEは、ゲート回路27～29により、一致外部信号が‘L’レベル（上段側のいずれの連想メモリでも一致が検出されていない）であって、かつ、自分自身の連想メモリ20の全体一致検出回路23から、自分自身の連想メモリ20で一致が検出されたことを示す‘H’レベルの信号が出力された場合に内部チップイネーブル（内部CE）が‘H’レベルとなる。あるいは、内部CEは、ゲート回路28、29、30により、空き外部信号が‘L’レベル（上段側のいずれの連想メモリにも空きが無い）であって、かつ、自分自身の連想メモリ20の全体空き検出回路24から、自分自身の連想メモリ20に空きがあることを示す‘H’レベルの信号が出力された場合に‘H’レベルとなる。すなわち、内部CEは、チップイネーブル信号CEが‘H’レベルになったことを受けて、自分自身に‘一致’の優先権が存在する場合、もしくは‘空き’の優先権が存在する場合に‘H’レベルとなる。

【0027】ゲート回路31は、内部CEが‘H’レベルにあり、さらにアウトプットイネーブル信号OE_—が‘H’レベルにあるときに、リード／ライト信号R/W_—が‘L’レベルに変化すると、セクタ22に対し書込みを指示する‘H’レベルの制御信号を出力する。また、ゲート回路32は、内部CEが‘H’レベルにあり、さらにリード／ライト信号R/W_—が‘H’レベルにあるときに、アウトプットイネーブル信号が‘L’レベルに変化すると、セクタ22に対し、読出しを指示する‘H’レベルの信号を出力する。

【0028】図5は、図1～図4を参照して説明した連想メモリシステムの読出しのタイミングチャートである。ここでは、先ず図1に示す連想メモリ制御装置10に分類選択信号‘00’が入力され、かつ‘H’レベルのチップイネーブル信号CEが入力される。すると、分類A（図2参照）に属するm1個の連想メモリ20_—1, 20_—2, …, 20_—m1に向けてチップイネーブル信号CE1～CEm1が出力される。その後、各連想メモリ20_—1～20_—nにサーチ信号SEARCHが入力される。すると、分類Aに属するm1個の連想メモリ20_—1, 20_—2, …, 20_—m1について検索が行なわれる。ここでは、この検索により、分類Aに属するm1個の連想メモリ20_—1, 20_—2, …, 20_—m1のうちの上段側2つの連想メモリ20_—1, 20_—2で一致が1つずつ検出されたものとする。

【0029】図2に示す分類Aに属するm1個の連想メモリ20_—1, 20_—2, …, 20_—m1の各一致信号‘H, H, L, …, L’は、図1に示す連想メモリ制御

装置10の一致信号用連想メモリ選択テーブル11に入力され、これにより、‘L, H, …, H’の一致外部信号1～m1が生成され、分類Aの各連想メモリ20_—1, 20_—2, …, 20_—m1に入力される。図5には、上段側2つの連想メモリ20_—1, 20_—2についての一致信号1, 2および一致外部信号1, 2が示されている。

【0030】その状態で、リード／ライト信号R/W_—を‘H’レベルに保ったまま、アウトプットイネーブル信号OE_—を‘L’レベルに変化させると、一致信号が‘H’レベル、一致外部信号が‘L’レベルにある最上段の連想メモリ20_—1について読出しが行なわれる。この読出しにより、連想メモリ20_—1には、一致が検出されたメモリ領域であって読み出されていないメモリ領域がなくなると、連想メモリ20_—1の一致信号が‘L’レベルに変化する。それを受けて、連想メモリ20_—2に対応する一致外部信号2が‘L’レベルに変化し、その連想メモリ20_—2の一致信号2は‘H’レベルにあるため、アウトプットイネーブル信号OE_—が次に‘L’レベルに変化すると、今度は連想メモリ20_—2からデータが読み出される。

【0031】図6は、図1～図4を参照して説明した連想メモリシステムのデータ書込みのタイミングチャートである。図5を参照して説明した読出しと同じシーケンスで検索を行なうと、空きのある連想メモリで空き信号が生成されて出力される。ここでは、図5の場合と同様に、分類Aに属するm1個の連想メモリ20_—1, 20_—2, …, 20_—m1のうちの上段側の2つの連想メモリ20_—1, 20_—2で空きが1つずつ検出されたものとする。

【0032】図2に示す分類Aに属するm1個の連想メモリ20_—1, 20_—2, …, 20_—m1の各空き信号‘H, H, L, …, L’は、図1に示す連想メモリ制御装置10の空き信号用連想メモリ選択テーブル12に入力され、これにより、‘L, H, …, H’の空き外部信号1～m1が生成され、分類Aの各連想メモリ20_—1, 20_—2, …, 20_—m1に入力される。図6には上段側2つの連想メモリ20_—1, 20_—2についての空き信号1, 2および空き外部信号1, 2が示されている。

【0033】その状態でアウトプットイネーブル信号OE_—を‘H’レベルに保ったまま、リード／ライト信号R/W_—を‘L’レベルに変化させると、空き信号が‘H’レベル、空き外部信号が‘L’レベルにある最上段の連想メモリ20_—1についてデータ書込みが行なわれる。このデータ書込みにより、連想メモリ20_—1に空き領域がなくなり連想メモリ20_—1の一致信号が‘L’レベルに変化すると、それを受けて連想メモリ20_—2に対応する空き外部信号2が‘L’レベルに変化し、その連想メモリ20_—2の空き信号2は‘H’レベ

ルにあるため、リード／ライト信号R/W_—が次に
‘L’レベルに変化すると今度は連想メモリ20_—2に
データが書き込まれる。

【0034】図7、図8は本発明の連想メモリシステムの
第2実施例における、それぞれ、連想メモリ制御装
置、連想メモリのブロック図である。それら5個の連想
メモリ50_—1, 50_—2, …, 50_—5が図7に示す
連想メモリ制御装置40は、図1に示す連想メモリ制御
装置10の分類デコーダBに対応する部分のみ備えられ
ている。ただし、図7に示す連想メモリ制御装置40
は、図1に示す連想メモリ選択番号は入力されるよう
には構成されていない。すなわち、図7に示す連想メモリ
制御装置40は、分類選択信号を入力し、その分類選択
信号に応じた分類に属する連想メモリに向けて‘H’レ
ベルのチップイネーブル信号CEが出力される単機能の
ものである。

【0035】また、この第2実施例は、図8に示すよう
に、5個の連想メモリ50_—1, 50_—2, …, 50_—
5が備えられており、順次カスケード接続されている。
ここでは、これら5個の連想メモリ50_—1, 50_—
2, …, 50_—5のうち上段側2つが分類A、次の2つ
が分類B、最下段の1つが分類Cに分けられているもの
とする。

【0036】図9は、図8の各連想メモリの内部構成を
示す模式回路図である。図4に示す第1実施例におけ
る連想メモリとの相違点について説明する。図9に示す連
想メモリ50には、図4に示す連想メモリ20に、分類
先頭レジスタ33、ゲート回路34、35が付加されて
いる。分類先頭レジスタ33には、自分自身が分類の先
頭（図8に示す連想メモリ50_—1, 50_—3, 50_—
5）の場合‘H’レベルのフラグ、自分自身が分類の先
頭ではない（図8に示す連想メモリ50_—2, 50_—
4）の場合、‘L’レベルのフラグが格納される。した
がってこの連想メモリ50が分類の先頭にある場合、上
段側で一致があったことを示す‘H’レベルの一致外部
信号はゲート回路34で阻止され、上段側では一致がな
かったものとして扱われる。また空き外部信号について
も同様であり、上段側に空きがあることを示す‘H’レ
ベルの空き外部信号はゲート回路35で阻止され、上段
側では空きがなかったものとして扱われる。すなわち、

カスケード接続された後段の連想メモリに伝播させる一
致信号、空き信号が、分類毎に論理的に切り離される。

【0037】このように論理的に切り離しておいて、図
7に示す連想メモリ制御装置40により、所望の分類に
属する連想メモリのみチップイネーブルとすることによ
り、分類毎に独立したアクセスが可能となる。

【0038】

【発明の効果】以上説明したように、本発明によれば、
複数の連想メモリを備えた連想メモリシステムにおい
て、それら複数の連想メモリを複数に分類しておき、そ
れら複数の連想メモリを、各分類毎に自由にアクセスす
ることができる。

【図面の簡単な説明】

【図1】本発明の連想メモリシステムの第1実施例にお
ける連想メモリ制御装置のブロック図である。

【図2】本発明の連想メモリシステムの第1実施例にお
ける連想メモリのブロック図である。

【図3】一致信号用連想メモリ選択テーブルの内容を示
す図である。

【図4】連想メモリの内部構成を示す模式回路図であ
る。

【図5】連想メモリシステムの読出しのタイミングチャ
ートである。

【図6】連想メモリシステムのデータ書き込みのタイミ
ングチャートである。

【図7】本発明の連想メモリシステムの第2実施例にお
ける連想メモリ制御装置のブロック図である。

【図8】本発明の連想メモリシステムの第2実施例にお
ける連想メモリのブロック図である。

【図9】図8の各連想メモリの内部構成を示す模式回路
図である。

【図10】連想メモリの一例を表わした回路ブロック図
である。

【符号の説明】

10, 40 連想メモリ制御装置

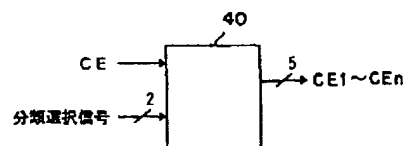
11, 12 連想メモリ選択テーブル

13 分類デコーダ

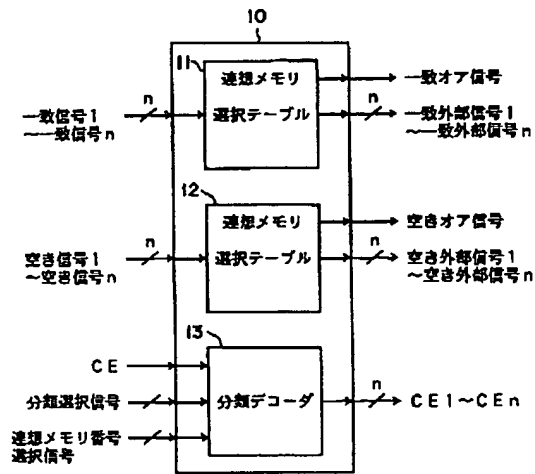
20, 20_—1, …, 20_—m1, …, 20_—n, 5

0, 50_—1, 50_—2, …, 50_—5 連想メモリ

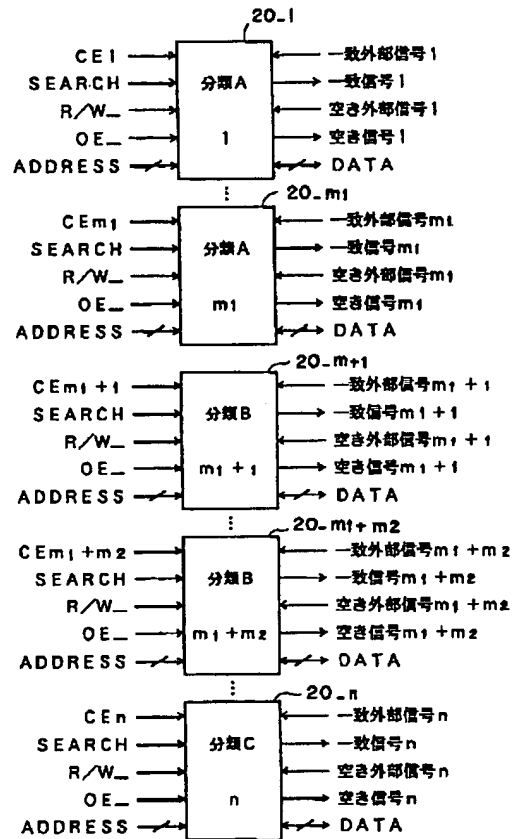
【図7】



【図1】



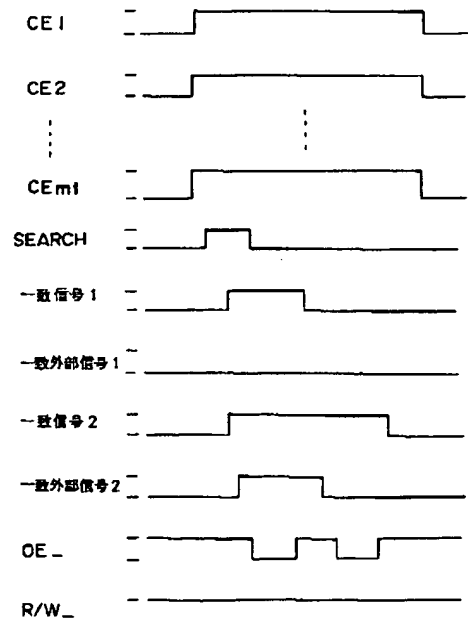
【図2】



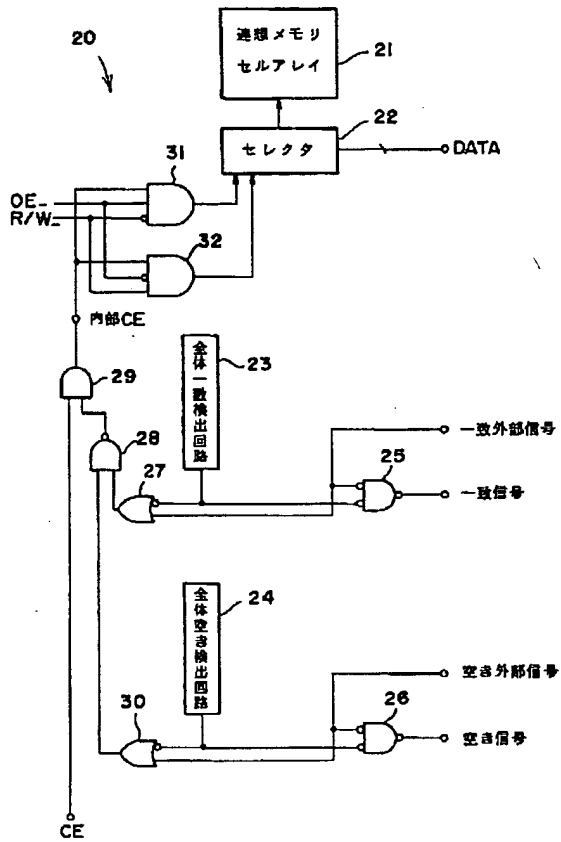
【図3】

一致信号						一致外部信号						一致オア信号	
1	2	3	4	...	m1	1	2	3	4	...	m1		
L	L	L	L	...	L	L	L	L	L	...	L	L	
H	L	L	L	...	L	L	H	H	H	...	H	H	
L	H	L	L	...	L	L	L	H	H	...	H	H	
												H	
L	H	H	H	...	L	L	L	H	H	...	H	H	
												H	
H	H	H	H	...	H	L	H	H	H	...	H	H	
H: 一致あり						H: 上段で一致あり						H: 全体で一致あり	
L: 一致なし						L: 上段で一致なし						L: 全体で一致なし	

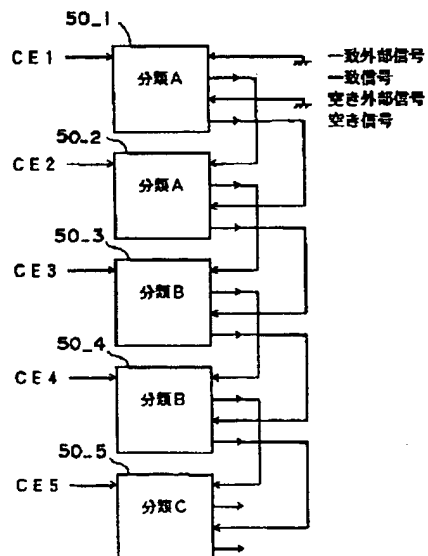
【図5】



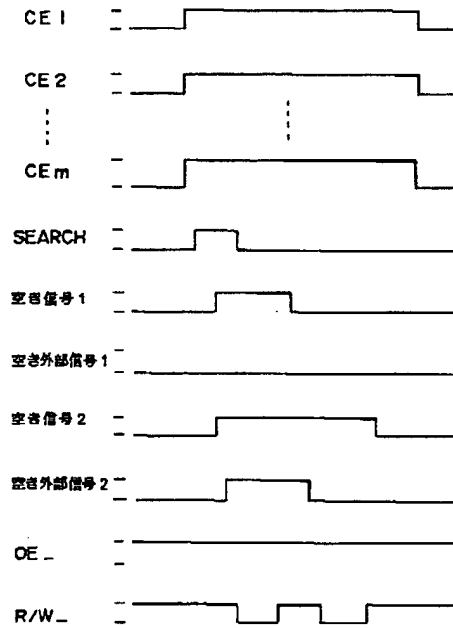
【図4】



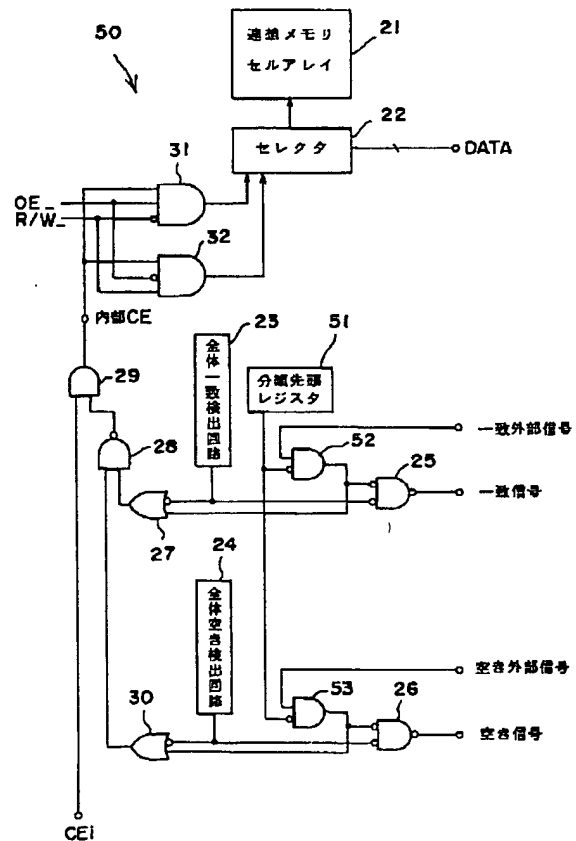
【図8】



【図6】



【図9】



【図10】

